

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G02F 1/133

[12] 发明专利申请公开说明书

[21] 申请号 99100011.0

[43]公开日 1999年7月28日

[11]公开号 CN 1224180A

[22]申请日 99.1.5 [21]申请号 99100011.0

[30]优先权

[32]98.1.5 [33]JP [31]000413/1998

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 森久司

[74]专利代理机构 中科专利代理有限责任公司

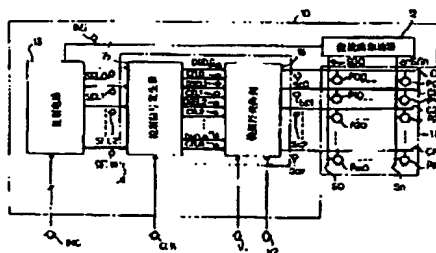
代理人 朱进桂

权利要求书 6 页 说明书 15 页 附图页数 13 页

[54]发明名称 低功耗液晶显示驱动器

[57]摘要

一个液晶显示驱动器(10)周期性地把有选择地连接到一个液晶显示面板(11)的像素(POO - Pmn)的公用信号线(CO - Cm)变为有效电平,以顺序地把表示一块图像的段信号提供给被选择像素,并且在该液晶显示驱动器(10)中包含一旁路通道,用于把在当前选择的公用信号线路中聚集的电荷传送到下一条被选择的公用信号线,从而降低电能消耗。



权 利 要 求 书

1、一种与液晶显示面板(11)相关联的液晶显示驱动器,其中所液晶显示面板具有用于有选择地激活像素(P_{00} - P_{mn})的多条选择线($C_0/C_1/C_2/\dots/C_m$)和用于在每个帧(F_1/F_2)中的被激活像素产生一块图像的多条数据线(SG_0-SG_n),所述液晶显示驱动器包括:

一个控制电路(13),它相继地在每一帧中把初选信号(SEL_0-SEL_m)从无效电平变为有效电平,再变为所述无效电平;以及

一个驱动电路(14、41),它连接于所述控制电路与所述多条选择线之间,用于通过使驱动信号(Sc_0-Sc_m)相继变为有效电平,有选择地改变所述多条选择线,

其特征在于:

所述驱动电路(14、41)包括:

一个控制信号发生器(15、43),它确定在每个帧中分别分配给所述多条选择线的多个子帧($t_{20}-t_{22}$ 、 $t_{51}-t_x$),并在所述每个子帧的第一阶段($t_{20}-t_{21}$ 、 $t_{51}-t_{54}$)产生一控制信号(CTL_0-CTL_m 、 CTL_{20})并且在所述第一阶段之后的所述每个子帧的第二阶段($t_{21}-t_{22}$ 、 $t_{54}-t_x$)内产生选择信号($DSEL_0-DSEL_m$ 、 $DSEL_{10}-DSEL_{1m}$),以及

一个开关阵列(16、44),它连接于所述控制信号发生器与所述多条选择线之间,并在所述第一阶段中响应所述控制信号,以在其中一条在其中一个相关的所述子帧中被驱动的选择线与另外一条要在下一个子帧中被驱动的选择线之间传输电荷,所述开关阵列进一步响应所述选择信号以把另一个所述选择线调整到第一预定电平(V_a 、 V_d).

2、根据权利要求1所述的液晶显示驱动器,其特征在于所述开关阵列(16)包括:

一连接到所述多条选择线的电荷传输环路(35),

多个第一开关单元($32/33/\dots/34$),它们插于在多条选择线路之间的电荷传输环路中,并响应所述控制信号以有选择地导通,从而使位

于其中一个被选择的所述第一开关单元的两侧上的其中两个选择线相互电连接, 以及

多条第二开关单元 (29/30/.../31), 它们连接于所述第一预定电平的第一电源线 (V1) 与位于所述多个第一开关单元之间的所述电荷传送环路之间, 并在所述第二阶段中响应所述选择信号的选择子信号 (DSEL0-DSEL_m), 以有选择地把所述第一预定电平 (Va/Vd) 提供给所述多个选择线。

3、根据权利要求 2 所述的液晶显示驱动器, 其特征在于每个所述第二开关单元 (29/30/.../31) 中具有:

一个第一开关元件 (ALG1), 它连接于所述第一电源线 (V1) 与所述电荷传送环路 (35) 之间, 并响应其中一个相关的所述选择子信号 (DSEL0-DSEL_m), 以把所述第一电源线电连接到所述电荷传输环路,

用于产生所述选择子信号中的一个相关信号的反相信号的装置, 以及

一个第二开关单元 (ALG2), 它连接于一条用于传输一个与所述第一预定电平不同的一个第二预定电平 (Vc/Vb) 的第二电源线 (V2) 与所述电荷传输环路之间, 并响应所述反相信号以使所述第二电源线电连接到所述电荷传输环路。

4、根据权利要求 3 所述的液晶显示驱动器, 其特征在于所述第一预定电平和所述第二预定电平确定在一帧 (F1) 中的一第一电势范围 (Va-Vc) 以及在另一个紧接着所述帧的另一帧 (F2) 中的与所述第一电势范围不同的一个第二电势范围 (Vd-Vb)。

5、根据权利要求 4 所述的液晶显示驱动器, 其特征在于所述第一电势范围和所述第二电势范围部分地相互重叠 (Vb-Vc)。

6、根据权利要求 2 所述的液晶显示驱动器, 其特征在于与所述开关阵列 (16) 相关联的所述控制信号发生器 (15) 中包括:

一个控制电路 (17/18/19), 它响应时钟信号 (CLK) 以产生一延迟时钟信号 (DCLK) 和一时序信号 (TM3),

多个第一控制信号产生单元 (21-22/23, 25...27), 它用于在从所述初选信号中产生的信号中引入延迟时间, 并有选择地在所述第二阶段

内产生所述选择信号的选择子信号 (DSEL₀-DSEL_m), 以及

多个第二控制信号产生单元 (24、26、...28), 它响应所述时序信号 (TM3), 以有选择的在所述第一阶段内从所述初选信号中产生控制子信号 (CTL₀-CTL_m).

7、根据权利要求 6 所述的液晶显示驱动器, 其特征在于所述控制电路包括:

一时序发生器 (17), 它用于从所述时钟信号产生一个第一分频信号 (TM1) 和一个第二分频信号 (TM2),

一个延迟电路 (18), 它用于从所述时钟信号产生所述延迟时钟信号 (DCLK), 以及

一个逻辑门 (19), 它被提供所述时钟信号、所述第一分频信号、所述第二分频信号和所述延迟时钟信号, 以产生所述时序信号 (TM3).

8、根据权利要求 7 所述的液晶显示驱动器, 其特征在于所述逻辑门 (19) 执行“或非”操作。

9、根据权利要求 6 所述的液晶显示驱动器, 其特征在于所述多个第一控制信号产生单元中的每一个包括:

一个 D 型触发电路 (20/21/.../22), 它具有一个被提供其中一个所述初选信号的数据输入节点 (D), 一个被提供所述延迟时钟信号 (DCLK) 的时钟节点 (C) 以及一个输出节点, 以及

一个逻辑门 (23/25/.../27), 它具有一个连接到所述 D 型触发电路的所述输出节点的第一输入节点, 一个被提供给其中一个所述初选信号的第二输入节点, 以及用于产生其中一个所述选择子信号 (DSEL₀-DSEL_m) 的输出节点。

10、根据权利要求 9 所述的液晶显示驱动器, 其特征在于所述逻辑门 (23/25/.../27) 执行“与”操作。

11、根据权利要求 6 所述的液晶显示驱动器, 其特征在于每个所述第二控制信号产生单元包括一个具有一个被提供给所述其中一个初选信号的第一输入节点的逻辑门 (24/26/.../28), 一个被提供给所述时序信号 (TM3) 的第二节点, 以及用于产生其中一个所述控制子信号 (CTL₀-CTL_m) 的输出节点。

12、根据权利要求 11 所述的液晶显示驱动器，其特征在于所述逻辑门 (24/26/.../28) 执行“与”操作。

13、根据权利要求 1 所述的液晶显示驱动器，其特征在于所述开关阵列 (44) 中包括：

一个第一开关单元 (61/62)，它连接到一个具有所述第一预定电平 (V_a/V_d) 的第一电源线 (V_1)，并响应所述控制信号 (CTL20)，使得在所述阶段内变为断开状态而在所述第二阶段内变为导通状态，以及

多个第二开关单元 (58/59/.../60)，它连接于所述第一开关单元 (61/62) 于所述多个选择线 (C_0-C_m) 之间，并响应所述选择信号的选择子信号 ($DSEL_{10}-DSEL_m$)，以在第一阶段内把其中两条相邻的所述选择线相连接，并在所述第二阶段内把所述第一电源线 (V_1) 通过所述第一开关单元连接到所述两条选择线。

14、根据权利要求 13 所述的液晶显示驱动器，其特征在于所述多个第二开关单元中的每一个具有：

一个第一开关元件 (ALG1)，它通过所述第一开关单元连接于所述第一电源线 (V_1) 与相关联的所述其中一条选择线 (C_0-C_m) 之间，并响应其中一个相关的所述选择子信号 ($DSEL_0-DSEL_m$)，以在所述第一阶段内把所述两条选择线相互连接，并在所述第二阶段内把所述第一电源线 (V_1) 通过所述第一开关单元 (61/62) 连接到其中一个所述子信号，

一个用于产生所述相关的一个相关选择子信号的反相信号的装置，以及

一个第二开关单元 (ALG2)，它通过所述第一开关单元连接于一条用于传输一个与第一预定电平不同的一个第二预定电平 (V_c/V_b) 的第二电源线 (V_2) 与所述其中一条选择线之间，并响应所述反相信号，以使所述第二电源线 (V_2) 通过所述第一开关单元 (61/62) 电连接到所述其中一条选择线路。

15、根据权利要求 14 所述的液晶显示驱动器，其特征在于所述第一预定电平与所述第二预定电平在一个帧 (F1) 中确定一个第一电势范围 (V_a-V_c)，并在紧接着所述帧的另一帧 (F2) 中确定与所述第一电势范围不同的第二电势范围 (V_d-V_b)。

16、根据权利要求 15 所述的液晶显示驱动器，其特征在于所述第一电势范围和所述第二电势范围之间部分地相互重叠 (V_b-V_c)。

17、根据权利要求 13 所述的液晶显示驱动器，其特征在于与所述开关阵列相关联的所述控制信号发生器中包括：

一个第一控制信号子发生器 (45)，它用于从一时钟信号 (CLK) 产生一延迟时钟信号 (DCLK1)，并从所述延迟时钟信号 (DCLK1) 和所述时钟信号 (CLK) 产生所述控制信号 (CTL20)，以及

一个第二控制信号子发生器 (46)，它响应所述延迟时钟信号，用于在所述预选信号的脉冲下降沿与所述选择子信号脉冲下降沿之间引入一延迟时间，并且在所述预选信号的脉冲上升沿使所述选择子信号基本上没有延迟时间的上升。

18、根据权利要求 17 所述的液晶显示驱动器，其特征在于所述第一控制信号子发生器 (45) 中包括：

一个被提供所述时钟信号用于产生一反相时钟信号的反相器 (47)，

一个连接到所述反相器的一输出节点用于产生所述延迟时钟信号 (DCLK1) 的第一延迟电路 (48/49) 的串联组合，

一个连接到所述第一延迟电路的串联组合的第二延迟电路 (50)，以及

一个具有一连接到所述第二延迟电路一输出节点的第一输入节点和一个被提供所述时钟信号的第二输出节点的逻辑门 (51)，它用于产生所述控制信号。

19、根据权利要求 18 所述的液晶显示驱动器，其特征在于所述逻辑门 (51) 执行“或”操作。

20、根据权利要求 17 所述的液晶显示驱动器，其特征在于所述第二控制信号子发生器 (46) 中包括：

多个 D 型触发电路 (52/53/.../54)，它们分别具有被提供所述预选信号的各数据输入节点 (D)、被提供所述延迟时钟信号的各时钟节点 (C) 以及各输出节点 (Q)，以及

多个逻辑门 (55/56/.../57)，它们分别具有被提供所述预选信号的第一输入节点，以及分别连接到所述多个 D 型触发电路的所述输出节

点的各第二输入节点，用于产生所述选择子信号。

21、根据权利要求 20 所述的液晶显示驱动器，其特征在于所述多个逻辑门（55-57）执行“或”操作。

说明书

低功耗液晶显示驱动器

本发明涉及一种液晶显示驱动器，特别涉及一种具有用于顺序驱动液晶显示面板的公用信号线的公用线路驱动器的液晶显示驱动器。

在图 1 中示出一种液晶显示驱动器的典型例子。现有的液晶显示驱动器 1 与液晶显示面板 2 相关联。该液晶显示面板 2 包括按阵列分布的像素 P_{00} 、 P_{01} 、...、 P_{0n} 、 P_{10} 、 P_{11} 、...、 P_{1n} 、...、 P_{m0} 、 P_{m1} 、...、 P_{mn} ，公用信号线 C_0 、 C_1 、...、 C_m 分别与行像素 P_{00} - P_{0n} 、 P_{10} - P_{1n} 、...、 P_{m0} - P_{mn} 相关联，而段信号线 S_0 、 S_1 、...、 S_n 分别与列像素 P_{00} - P_{m0} 、 P_{01} - P_{m1} 、...、 P_{0n} - P_{mn} 相关联。尽管在图 1 上没有示出，一薄膜晶体管 and 一块液晶夹在一像素电极和一公用电极之间形成每一个像素 P_{00} - P_{mn} 。公用线路 C_0 、 C_1 ...或 C_m 连接到该薄膜晶体管的栅电极上形成相关联的行，有时称其为“栅极线”。另一方面，段信号线 S_0 、 S_1 ...或 S_n 连接到该薄膜晶体管的源极节点上形成相关联的列，有时称其为“源极线”。现有的液晶显示驱动器包括一公用线路驱动器 3、一段线路驱动器 4 和一控制电路 5。该公用线路驱动器 3 连接到公用信号线 C_0 - C_m ，并且顺序地向公用信号线 C_0 - C_m 提供一公用信号。另一方面，该段线路驱动器 4 连接到段信号线 S_0 - S_n ，并把表示要产生于一行像素上的图像的一部分的段信号与公用信号同步地提供给段信号线 S_0 - S_n 。当该公用信号线驱动器 3 把公用信号从公用信号线 C_0 提供到公用信号线 C_m 时，该段信号在像素点阵 P_{00} - P_{mn} 上产生图像，并且用于产生图像的时间周期称为“帧”。

控制电路 5 连接到公用线路驱动器 3 和段线路驱动器 4，并控制在像素点阵 P_{00} - P_{mn} 上的图像产生操作。控制电路 5 把电势信号 V_1/V_2 和一选择信号 SEL 提供给公用线路驱动器 3，并且公用线路驱动器 3 以不同时序产生公用信号 $Sc_0/Sc_1/.../Sc_m$ 。把一个表示该图像的图像载波信号 IMG 提供给控制电路 5，并且控制电路 5 指示段线路驱动器 4 把每个

段信号调整到合适的电平。

图 2 中示出该公用线路驱动器 3。公用线路驱动器 3 中包括模拟开关单元 SW_0, SW_1, \dots 和 SW_m ，每个模拟开关单元由一对模拟开关 ALG_1/ALG_2 来实现。电势信号 V_1 和其他电势信号 V_2 分别提供给模拟开关 ALG_1 和其他模拟开关 ALG_2 。这对模拟开关 ALG_1/ALG_2 分别连接到公用信号线 C_0, C_1, \dots, C_m ，并由选择信号 SEL 所控制。该选择信号 SEL 包括选择子信号 $SEL_0, SEL_1, \dots, SEL_m$ ，并且把选择子信号 SEL_0-SEL_m 分别提供给模拟开关单元 SW_0-SW_m 。控制电路 5 顺序地把选择子信号 SEL_0-SEL_m 变为有效高电平。把选择子信号 SEL_0-SEL_m 直接提供给该模拟开关 ALG_1 ，并且把内部产生的选择子信号的互补信号提供给其他模拟开关 ALG_2 。因此，模拟开关 ALG_1 和相关的模拟开关 ALG_2 互补地导通和断开，并把公用信号 $Sc_0/Sc_1/\dots/Sc_m$ 提供给相关联的公用信号线 $C_0/C_1/\dots/C_m$ 。

现有的公用线路驱动器 3 按图 3 中所示的方式运作。帧 F_1 从时刻 t_0 延续到时刻 t_3 ，而帧 F_2 从时刻 t_3 延续到时刻 t_6 。控制电路 5 把电势信号 V_1 和其他电势信号 V_2 调整为帧 F_1 中的电平 V_a 和电平 V_c ，并顺序地在时刻 t_0 、时刻 t_1 、 \dots 、时刻 t_2 把选择子信号 $SEL_0, SEL_1, \dots, SEL_m$ 变为有效高电平。当控制电路 5 把其中一个选择子信号 $SEL_0/SEL_1/\dots/SEL_m$ 保持为有效高电平时，其他选择子信号保持为无效低电平。

处于有效高电平的选择子信号 $SEL_0, SEL_1, \dots, SEL_m$ 使相关的模拟开关 ALG_1 顺序导通，并且模拟开关单元 SW_0, SW_1, \dots, SW_m 在时刻 t_0, t_1, \dots, t_2 顺序地把电平 V_a 的公用信号 $Sc_0/Sc_1/\dots/Sc_m$ 提供给相关的公用信号线 C_0, C_1, \dots, C_m 。当选择子信号 $SEL_0/SEL_1/\dots/SEL_m$ 保持为无效低电平时，模拟开关 ALG_1 断开，而相关的模拟开关 ALG_2 接通。因此，公用信号线 C_0, C_1, \dots, C_m 中只有其中一个变为电平 V_a ，而其他公用信号线保持为电平 V_c 。

控制电路 5 把电势信号 V_1 和其他电势信号 V_2 调整为下一帧 F_2 中的电平 V_d 和 V_b ，并且在时刻 t_3 、时刻 t_4 、 \dots 、时刻 t_5 顺序地改变选择子信号 $SEL_0, SEL_1, \dots, SEL_m$ 。

选择子信号 $SEL_0, SEL_1, \dots, SEL_m$ 在时刻 t_3 、时刻 t_4 、 \dots 、时刻

t5 变为有效高电平，并使模拟开关 ALG1 相继接通。然而，其它选择信号维持在无效的低电平，相关的模拟开关 ALG2 导通。因此，公用信号 $Sc0/Sc1/.../Sc_m$ 在时刻 t3、时刻 t4、... 时刻 t5 把相关公用信号线 $C0/C1/.../C_m$ 变为电平 V_d ，而其他公用信号线保持于电平 V_b 。

这样，现有的公用线路驱动器 3 把公用信号 $Sc0-Sc_m$ 在电平范围 V_a-V_c 与电平范围 V_d-V_b 之间改变。结果，公用信号 $Sc0-Sc_m$ 在 V_a 与 V_d 之间改变有效电平，在 V_c 与 V_b 之间改变无效电平。

该现有的液晶显示驱动器 3 在电能消耗方面上存在问题。

因此本发明的一个重要目的是提供一种能耗低的液晶显示驱动器。

本发明人对这一问题进行研究并注意到每个公用信号线 $C0/C1/...C_m$ 都独立地充电和放电。控制电路 5 用于使公用信号线 $C0/C1/...C_m$ 在电平 V_a/V_d 与 V_c/V_b 之间变化，并消耗大量电能。本发明人认为可以使公用线路驱动器 3 重新利用公用信号线从被选中状态变为未选中状态时放出的电流。

根据本发明的一个方面，在此提供一种与一液晶显示面板相关联的液晶显示驱动器，该液晶显示面板具有多个用于选择激活像素的选择线和多个用于在每个帧的激活像素上产生一块图像的数据线，该驱动器包括一个在每个帧中顺序地把初选信号从无效电平变为有效电平又变为无效电平的控制电路，以及一个连接于该控制电路与多条选择线之间的驱动电路，该驱动电路用于有选择地改变多条选择线使驱动信号顺序地变为有效电平，其中包括一个确定多个分配给上述的每个帧中的多条选择线的控制信号发生器，它在每个子帧的第一阶段内产生一控制信号并在每个上述子帧的在第一阶段之后的第二阶段内产生一选择信号，以及一个连接于该控制信号发生器与多个选择线之间，并响应该控制线，用于在该第一阶段内把电荷在其中一条在一个相关的子帧中被驱动的选择线与另外一条要在下一个子帧中被驱动的选择线之间传输，并且该开关阵列进一步响应该选择线，以把上述另一条选择线调整为一个第一预定电平。

在下文结合附图的具体描述中该液晶显示面板驱动器的特点和优点将变得更加清楚，其中附图说明如下：

图 1 为示出现有的液晶显示面板驱动器与该液晶显示面板之间的布局的方框图;

图 2 为示出包含于现有的液晶显示面板驱动器中的现有公用线路驱动器的布局的电路图;

图 3 为示出现有的液晶显示面板驱动器的电路操作的时序图;

图 4 为示出本发明的液晶显示驱动器的布局方框图;

图 5 为示出包含于该液晶显示驱动器中的控制信号发生器的电路结构的电路图;

图 6 为示出该控制信号发生器的电路操作的时序图;

图 7 为示出包含于液晶显示驱动器中的模拟开关阵列的电路结构的电路图;

图 8 为示出该模拟开关阵列的电路操作的时序图;

图 9 为示出包含于本发明的另一种液晶显示驱动器中公用线路驱动器的布局的电路图;

图 10 为示出包含于该公用线路驱动器中的控制信号发生器的电路结构的电路图;

图 11 为示出图 10 中所示的控制信号发生器的电路操作的时序图;

图 12 为示出包含于该公用线路驱动器中的模拟开关阵列的电路结构的电路图;

图 13 为示出图 12 中所示的模拟开关阵列的电路操作的时序图.

第一实施例

参照图 4, 液晶显示驱动器 10 连接到液晶显示面板 11. 液晶显示面板 11 与液晶显示面板 2 相类似, 因此对液晶显示面板 11 上与液晶显示面板 2 的信号线和像素相对应的信号线的像素标以相同的附图标记, 并省略对它们的具体描述.

液晶显示驱动器 10 大体上包括: 一个段线路驱动器 12、一个控制电路 13 和一个公用线路驱动器 14. 该段线路驱动器 12 连接到段信号线 S_0-S_n , 并响应指示信号 INS , 用于产生表示要在一行像素 $P_{00}-P_{0n}$ 、 $P_{10}-P_{1n}$ 、 $P_{20}-P_{2n}$ 、... 或 $P_{m0}-P_{mn}$ 上产生一块图像的段信号 SG_0-SG_n . 段信号 SG_0-SG_n 在一帧内有效, 并在帧与帧之间发生改变. 该段线路驱

动器 12 与现有液晶显示驱动器 1 中的相类似, 因此在下文中不对其进行具体描述。

控制电路 13 顺序地把初选子信号 $SELO$ 、 $SEL1$ 、 $SEL2$... 和 SEL_m 变为高有效电平, 并响应表示要在像素阵列 $P00-P_{mn}$ 上产生图像的图像载波信号产生指示信号 INS 。控制电路 13 除了电势信号 $V1/V2$ 之外类似于现有液晶显示驱动 1 中的控制电路, 因此在下文中不对其进行具体描述。

公用线路驱动器 14 包括一个控制信号发生器 15 和一个模拟开关阵列 16。该控制信号发生器 15 把延迟时间加入到每个初选信号 $SELO/SEL1/\dots/SEL_m$ 的脉冲下降沿和下一个初选信号脉冲上升沿, 并产生选择子信号 $DSELO-DSEL_m$ 。控制信号发生器 15 还分别在延迟时间内产生控制信号 $CTL0$ 、 $CTL1$ 、 $CTL2$ 、... 和 CTL_m , 并且相应地, 每个控制信号 $CTL0/CTL1/\dots/CTL_m$ 之后跟着相关联的控制信号 $DSELO/DSEL1/\dots/DSEL_m$ 。选择子信号 $DSELO-DSEL_m$ 和控制信号 $CTL0-CTL_m$ 被从控制信号发生器 15 提供给模拟开关阵列 16。

模拟开关阵列 16 连接到控制信号发生器 15 和电源线 $V1/V2$ 。该模拟开关阵列 16 响应控制信号 $CTL0-CTL_m$ 和选择子信号 $DSELO-DSEL_m$ 以产生公用信号 $Sc0/Sc1/Sc2/\dots/Sc_m$ 。该公用信号 $Sc0/Sc1/Sc2/\dots/Sc_m$ 被顺序地提供给公用信号线 $C0$ 、 $C1$ 、 $C2$ 、... 和 C_m , 并顺序地使像素 $P00-P_{0n}$ 、 $P10-P_{1n}$ 、 $P20-P_{2n}$ 、... 或 $P_{m0}-P_{mn}$ 响应段信号 $SG0-SG_n$ 。模拟开关阵列 16 使准备被选择来对下一个公用信号线 $C1/C2/\dots/C_m/C1$ 进行预充电和放电的每个公用信号线 $C0/C1/C2/\dots/C_m$ 在延迟时间内被选中, 然后把公用信号线 $C0/C1/C2/\dots/C_m$ 连接到电源线 $V1$ 。因此, 该公用线路驱动器 14 重新使用该电能, 并通过利用预充电/放电操作, 使电能消耗减少到现有的公用线路驱动器 3 电能消耗的一半。

图 5 中示出该控制信号发生器 15。控制信号发生器 15 包括一时序发生器 17、一延迟电路 18、一“或非”门 19、D 型触发电路 20/21/.../22 和“与”门 23/24/、25/26、...、27/28。一时钟信号 CLK 输入到该时序发生器 17 的输入节点, 该时序发生器 17 对该时钟信号 CLK 进行分频以产生时序信号 $TM1/TM2$ 。时序信号 $TM1$ 的时钟周期是时钟信号 CLK 的

两倍，时序信号 TM4 的时钟周期是时钟信号 CLK 的 4 倍。时钟信号 CLK 还输入到延迟电路 18 的输入节点，该延迟电路 18 从时钟信号 CLK 产生延迟时钟信号 DCLK。该时钟信号 CLK、时序信号 TM1/TM2 和延迟时钟信号 DCLK 被输入到“或非”门 19 的 4 个输入节点，该“或非”门 19 产生时序信号 TM3。

初选子信号 $SEL_0 - SEL_m$ 被分别输入到 D 型触发电路 20/22 的数据节点 D，并且延迟时钟信号 DCLK 输入到 D 型触发电路 20/22 的时钟节点 C。在延迟时钟信号 DCLK 的脉冲上升沿每个 D 型触发电路 20/21/.../22 存储相关联的初选子信号 $SEL_0/SEL_1/.../SEL_m$ 的电平，并在输出节点 Q 改变该电平。

初选子信号 $SEL_0 - SEL_m$ 分别输入到“与”门 23/25/.../27 的第一输入节点，并且 D 型触发电路 20 - 22 的输出信号分别输入到“与”门 23/25/.../27 的第二输入节点。因此，当相关的初选子信号 $SEL_0/SEL_1/.../SEL_m$ 和相关的输出信号都处于高电平时，“与”门 23/25/.../27 把选择子信号 $DSEL_0/DSEL_1/.../DSEL_m$ 变为高电平。

初选子信号 $SEL_0/SEL_1/.../SEL_m$ 分别输入到“与”门 24/26/.../28，而时序信号 TM3 输入到“与”门 24/26/.../28 的所有第二输入节点。因此，当时序信号 TM3 保持为高电平时，“与”门 24/26/.../28 把处于高电平的初选子 $SEL_0/SEL_1/.../SEL_m$ 传输到其输出节点以把控制信号 $CTL_0/CTL_1/.../CTL_m$ 变为高电平。

图 5 中示出控制信号发生器 15 的电路操作。尽管该图示是针对选择子信号 $DSEL_1$ 和控制信号 CTL_1 的产生的，但是其它选择子信号和其它控制信号是在不同时序中以类似于选择子信号 $DSEL_1$ 和控制信号 CTL_1 的方式产生的。

初选子信号 SEL_0 在时刻 t_{10} 变为低电平，下一个初选子信号 SEL_1 立即变为高电平。初选子信号 SEL_0 使“与”门 23 把选择子信号 $DSEL_0$ 变为低电平。但是，“与”门 25 使选择子信号 $DSEL_1$ 保持在低电平。

延迟时钟信号 DCLK 在时刻 t_{11} 变为低电平。时钟信号 CLK 和时序信号 TM1/TM2 在时刻 t_{11} 之前以被变为低电平，所有“与非”门 19 的输入节点在时刻 t_{11} 处于低电平。因此，“与非”门 19 把时序信号 TM3

变为高电平，并保持该时序信号 TM3 于高电平直到时刻 t_{12} ，“与非”门 19 在时刻 t_{12} 把时序信号 TM3 变为低电平。

“与”门 26 响应处于高电平的时序信号 TM3，并把控制信号 CTL1 变为高电平。“与”门 26 把控制信号 CTL1 保持为高电平直到时刻 t_{12} ，并把该控制信号 CTL1 在时刻 t_{12} 变为低电平。

在初选子信号 SEL1 变为高电平之后，延迟时钟信号 DCLK 在时刻 t_{13} 第一次变为高电平，并且 D 型触发电路 21 在延迟时钟信号 DCLK 的上升沿锁存该初选子信号 SEL1 的高电平。然后，D 型触发电路 21 把输出节点 Q 变为高电平，并且“与”门 25 把选择子信号 DSEL1 在时刻 t_{13} 变为高电平。

初选子信号 SEL1 在时刻 t_{14} 变为低电平，并且在初选子信号 SEL1 的下降沿之后，延迟时钟信号 DCLK 在时刻 t_{15} 第一次变为高电平。D 型触发电路 21 锁存该初选子信号 SEL1 的低电平，并把该输出节点 Q 变为低电平。

从文所述可知，控制信号发生器 15 在控制信号恢复之后首先把控制信号 CTL0/CTL1/.../CTL_m 变为高电平，并把相关选择子信号 DSEL0/DSEL1/.../DSEL_m 变为高电平。

图 7 中示出模拟开关阵列 16。该模拟开关阵列 16 中包括模拟开关单元 29/30/.../31、旁路开关 32/33/.../34 和电流通道 35。旁路开关 32/33/.../34 分别由模拟开关来实现。电流通道 35 是环状的，而旁路开关 32/33/.../34 则间隔地插入到该电流通道 35 中。公用信号线 C0/C1/.../C_m 连接于旁路开关 32、33、...、34 和 32 之间，而旁路开关 32/33/.../34 分别由控制信号 CTL0/CTL1/.../CTL_m 来控制。

模拟开关单元 29/30/.../31 分别由一对模拟开关 ALG1/ALG2 来实现，选择子信号 DSEL0/DSEL1/.../DSEL_m 被分别输入到模拟开关单元 29/30/.../31。模拟开关单元 29/30/.../31 使选择子信号 DSEL0/DSEL1.../DSEL_m 反相，选择子信号 DSEL0 - DSEL_m 及其反相信号被分别输入到模拟开关 ALG1 和相关的模拟开关 ALG2。但是，在选择子信号 DSEL0/DSEL1/.../DSEL_m 的电势改变与其反相信号的电势改变之间存在短的延迟时间。当选择子 DSEL0/DSEL1/.../DSEL_m 被变为高电平时

模拟开关 ALG1 导通。另一方面该高电平的反相信号使模拟开关 ALG2 导通。

电源线 V1 连接到所有模拟开关 ALG1 的输入节点，另一条电源线 V2 连接到其它模拟开关 ALG2 的输入节点。模拟开关单元 29/30/.../31 的输出节点连接到旁路开关 32、33、...、34 和 32 之间的电流通路 35。

图 8 中示出顺序选择公用信号线 $C_0 - C_m$ 的时序。帧 F1 之后紧接着下一帧 F2，帧 F1 和 F2 分别从时刻 t_{20} 延续到时刻 t_{26} 和从时刻 t_{26} 延续到 t_{32} 。当公用线路驱动器 14 在帧 F1 中工作时，电源线 V1 把电平 V_a 输入到模拟开关 ALG1，电源线 V2 把电平 V_c 输入到模拟开关 ALG2。电平 V_c 比电平 V_a 低。电源线 V1/V2 在下一帧 F2 中分别变为电平 V_d 和电平 V_b 。电平 V_b 在电平 V_a 与 V_c 之间，而电平 V_d 比电平 V_c 低。

控制信号 CTL0、CTL1、... 和 CTL $_m$ 在帧 F1 中，在时刻 t_{20} 、时刻 t_{22} 、... 和时刻 t_{24} 变为有效高电平，并使旁路开关 32、33、... 和 34 导通，控制信号 CTL0、CTL1、... 和 CTL $_m$ 在时刻 t_{21} 、 t_{23} 、... 和 t_{25} 之前恢复为无效低电平。当控制信号 CTL0/CTL1/.../CTL $_m$ 保持为有效高电平时，相关的旁路开关 32/33/.../34 把公用信号线 $C_m/C_1/.../C_{m-1}$ 电连接到下一公用信号线 $C_1/C_2/.../C_m$ ，而在公用信号线 $C_m/C_1/.../C_{m-1}$ 上的电平被均衡为在下一公用信号线 $C_1/C_2/.../C_m$ 上的电平。

在上述电平均衡之后，选择子信号 DSEL0、DSEL1、... 和 DSEL $_m$ 在时刻 t_{21} 、时刻 t_{23} 、... 和时刻 t_{25} 顺序变为有效高电平。处于有效高电平的选择子信号 DSEL0/DSEL1/.../DSEL $_m$ 使相关模拟开关单元 29/30/.../31 的模拟开关 ALG1 导通，而使相关连的模拟开关单元 29/30/.../31 的模拟开关 ALG2 断开。因此，处于有效高电平的选择子信号 DSEL0、DSEL1、... 和 DSEL $_m$ 使相关的模拟开关单元 29、30、... 和 31 顺序地把公用信号 $Sc_0/Sc_1/.../Sc_m$ 提供给公用信号 C_0 、 C_1 、... 和 C_m 。处于无效低电平的选择子信号 DSEL0、DSEL1、... 和 DSEL $_m$ 使相关的模拟开关单元 29、30、... 和 31 把另一条电源线 V2 连接到公用信号线 C_0 、 C_1 、... 和 C_m 。

下面描述从公用信号线 C_0 变到下一公用信号线 C_1 的过程。如上文参照图 6 的描述所示，当控制电路 13 相反地在高电平与低电平之间

改变初选子信号 SEL0/SEL1 时, 控制信号发生器立即把选择子信号 DSEL0 变为无效低电平。但是, 控制信号发生器 15 把选择子信号 SEL1 短时间地保持在无效低电平。由于反相信号是用选择子信号 DSEL0 延迟的, 因此选择子信号 SEL0/SEL1 都同时保持在无效低电平, 并且模拟开关单元 29 使公用信号线 C0 进入到高阻态。

当模拟开关单元 29 保持在高阻态时, 控制信号发生器 15 把控制信号 CTL1 在时刻 t_{22} 变为有效高电平, 并且旁路开关 33 导通。其它旁路开关 32、... 和 34 都断开, 并且公用信号线 C0 通过旁路开关 33 电连接到公用信号线 C1。电荷从公用信号线 C0 流向公用信号线 C1, 并且公用信号线 C0 和 C1 在被均衡于电平 V_m (参见在时刻 t_{22} 与时间 t_{23} 之间的公用信号线 C0 和 C1)。

控制信号发生器 15 把选择子信号 DSEL1 在时刻 t_{23} 变为有效高电平, 并且电源线 V1 把公用信号线 C1 的电平升高到电平 V_a 。另一方面, 选择子信号 DSEL0 的反相信号使模拟开关单元 20 的模拟开关 ALG2 导通, 并且公用信号线 C0 的电平降低到电平 V_c 。

当控制电路分别把初选子信号 SEL1 和下一个初选子信号变为低电平和高电平时, 电荷首先从公用信号线 C1 流向下一公用信号线 C2, 然后, 电源线 V1 把公用信号线 C2 的电平提升到电平 V_a 。

在帧 2 中, 尽管公用信号线 C0-C_m 在电平 V_b 和电平 V_d 之间被变化, 旁路开关 32/34 也顺序地把电荷传送到下一公用信号线, 并且电能消耗降低。

在公用信号线 C0-C_m 中聚集的电荷量 Q 由方程 1 所表达。

$$Q = C(V_a - V_c) \quad \dots\dots (1)$$

其中, C 为耦合到公用信号线上的寄生电容的电容量。采用电平 V_m 可以把方程 1 改写为:

$$Q = C(V_a - V_m) + C(V_m - V_c) \quad \dots\dots (2)$$

电势差 $(V_a - V_m)$ 等于电势差 $(V_m - V_c)$ 。假设每个电势差 $(V_a - V_m)$ 和 $(V_m - V_c)$ 对应于 Q_m 。则电荷量 Q 可以表达为:

$$Q = 2Q_m \quad \dots\dots (3)$$

解方程 3 可得 Q_m ,

$$Q_m = Q/2$$

因此，公用信号线 $C_0 - C_m$ 把一半电荷提供给下一条公用信号线，并使电能消耗降低为现有的公用线路驱动器的电能消耗的 $1/2$ 。

如上文描述可知，公用信号线 $C_0 - C_m$ 通过旁路开关 32-34 部分地向紧接着的下一条公用信号线 $C_1 - C_0$ 充电，并且该公用线路驱动器 14 在电能消耗方面得到改善。

在第一实施例中，作为一个实例，每个子帧对应于时刻 t_{20} 与时刻 t_{22} 之间的时间周期，该子帧第一阶段和第二阶段分别从时刻 t_{20} 延续到时刻 t_{21} 和从时刻 t_{21} 延续到时刻 t_{22} 。

第二实施例

参见图 9，一个公用线路驱动器 41 连接到液晶显示面板 11 的公用信号线 C_0 、 C_1 、 $C_2 \dots$ 和 C_m ，公用线路驱动器 41 包含于体现本发明的另一个液晶显示驱动器 42 中。该公用线路驱动器 41 包括一控制信号发生器 43 和一模拟开关阵列 44，并且控制电路 13 把初选子信号 $SEL_0/SEL_1/SEL_2 \dots /SEL_m$ 提供给控制信号发生器 43，这与第一实施例相类似。

初选子信号 $SEL_0 - SEL_m$ 和时钟信号 CLK 被提供给控制信号发生器 43。该控制信号发生器 43 从初选子信号 $SEL_0/SEL_1/SEL_2 \dots /SEL_m$ 产生选择子信号 $DSEL_{10}$ 、 $DSEL_{11}$ 、 $DSEL_{12}$ 、 \dots 和 $DSEL_{1m}$ 。控制信号发生器 43 使选择子信号 $DSEL_{10}/DSEL_{11}/DSEL_{12}/\dots/DSEL_{1m}$ 的脉冲下降沿从一个选择子信号 $DSEL_{11}/DSEL_{12}/\dots/DSEL_{1m}/DSEL_{10}$ 的脉冲上升沿发生延迟，使得选择子信号 $DSEL_{10}/DSEL_{11}/DSEL_{12}/\dots/DSEL_{1m}$ 与下一个选择子信号 $DSEL_{11}/DSEL_{12}/\dots/DSEL_{1m}/DSEL_{10}$ 之间在高电平时部分相重叠。

控制信号发生器 43 还产生控制信号 CTL_{20} ，并且控制信号 CTL_{20} 在该选择子信号 $DSEL_{10}/DSEL_{11}/DSEL_{12}/\dots/DSEL_{1m}$ 的脉冲下降沿之前变为有效低电平。控制信号发生器 43 短时间地使控制信号 CTL_{20} 保持于有效低电平，并在下一选择子信号 $DSEL_{11}/DSEL_{12}/\dots/DSEL_{1m}/DSEL_{10}$ 的脉冲上升沿之后使该控制信号 CTL_{20} 变为无效高电平。选择子信号 $DSEL_{10} - DSEL_{1m}$ 和控制信号 CTL_{20} 被提供给模拟开关阵列 44。

该模拟开关阵列 44 响应控制信号 CTL20, 使得电荷从被选择公用信号线 $C0/C1/C2/\dots/C_m$ 流向下一个被选择的公用信号线 $C1/C2/\dots/C_m/C0$ 。在该控制信号 CTL20 恢复到无效高电平之后, 模拟开关阵列 44 把电源线 V1 连接到下一个被选择的公用信号线 $C1/C2/\dots/C_m/C0$ 。这样下一个被选择的信号线 $C1/C2/\dots/C_m/C0$ 首先被先前选择的公用信号线 $C0/C1/C2/\dots/C_m$ 所充电, 然后该电源线 V1 对下一个公用信号线 $C1/C2/\dots/C_m/C0$ 进行充电。结果, 可以降低电能消耗。

图 10 示出该控制信号发生器 43。控制信号发生器 43 分为两个部分 45/46。第一部分 45 从时钟信号 CLK 产生延迟时钟信号 DCLK1/DCLK2, 并从时钟信号 CLK 和延迟时钟信号 DCLK2 产生控制信号 CTL20。另一方面, 第二部分响应该延迟时钟信号 DCLK1 锁存初选子信号 $SELO-SEL_m$, 并从该初选子信号 $SELO-SEL_m$ 和该锁存信号产生选择子信号 $DSELO-DSEL_m$ 。

具体来说, 第一部分 45 包括一个被提供时钟信号 CLK 的反相器 47、与该反相器 47 串联用于产生延迟时钟信号 DCLK1 的延迟电路 48/49、一个连接到延迟电路 49 用于产生延迟时钟信号 DCLK2 的延迟电路 50 和一个被提供时钟信号 CLK 和延迟时钟信号 DCLK2 用于产生控制信号 CTL20 的“或”门。如图 11 中所示, 延迟时钟信号 DCLK0、DCLK1 和 DCLK2 分别具有从时钟信号 CLK 的脉冲上升沿 R_x 相继延迟的脉冲下降沿 $F0/F1/F2$, 以及相继从脉冲下降沿 F_x 延迟的脉冲上升沿 $R0/R1/R2$ 。时钟信号 CLK 在时刻 $t40$ 时下降, 延迟时钟信号 DCLK0/DCLK1/DCLK2 分别在时刻 $t42$ 、 $t43$ 、和 $t44$ 上升。时钟信号 CLK 与延迟时钟信号 DCLK2 相“或”, 并且第一部分 45 使控制信号 CTL20 在时刻 $t40$ 至时刻 $t44$ 保持为有效低电平。

第二部分 46 包括 D 型触发电路 52/53/ \dots /54 和“或”门 55/56/ \dots /57。初选子信号 $SELO/SEL1/\dots/SEL_m$ 被分别输入到 D 型触发电路 52/53/ \dots /54 的数据输入节点 D。延迟时钟信号 DCLK1 输入到 D 型触发电路 52/53/ \dots /54 的时钟节点。该初选子信号 $SELO-SEL_m$ 被分别输入到“或”门 55/56/ \dots /57 的第一输入节点, 并且 D 型触发电路

52/53/.../54 的输出信号被分别提供给“或”门 55/56/.../57 的第二输入节点。D 型触发电路 52-54 在延迟时钟信号 DCLK1 的脉冲上升沿锁存住在数据输入节点 D 的电平，并保持该电平直到下一个脉冲上升沿，而不管在数据输入节点 D 处的电势如何改变。因此，D 型触发电路 52/53/.../54 在相关初选子信号 SEL0/SEL1/.../SEL_m 的脉冲下降沿与选择子信号 DSEL10/DSEL11/.../DSEL1_m 的脉冲下降沿之间引入延迟时间。

控制电路把初选子信号 SEL_m 在时刻 t₄₁ 从高电平变为低电平，并同时使下一个初选子信号 SEL1 从低电平变为高电平（如图 11 所示）。初选子信号 SEL0 被提供到 D 型触发电路 52 的数据输入节点和“或”门 55 的第一输入节点，并且下一初选子信号 SEL1 被输入到 D 型触发电路 53 的数据输入节点和“或”门 56 的第一输入节点。

初选子信号 SEL1 的脉冲上升沿立即通过“或”门 56 影响选择子信号 DSEL11，并且下一个选择子信号 DSEL11 在时刻 t₄₁ 变为高电平。但是，D 型触发电路 53 已经锁存住初选子信号 SEL0 的高电平，并使该输出节点 Q 保持为高电平直到延迟时钟信号 DCLK1 的下一个脉冲上升沿。延迟时钟信号 DCLK1 在时刻 t₄₃ 上升，并且 D 型触发电路 53 锁存住初选子信号 SEL1 的低电平。D 型触发电路 53 立即把输出节点 Q 变为低电平，相应地，“或”门 56 在时刻 t₄₃ 把选择子信号 DSEL11 变为低电平。因此，初选子信号 DSEL11 与初选子信号的高电平在时刻 t₄₁ 至时刻 t₄₃ 相重叠，并且该重叠时间内控制信号 CTL20 处于有效低电平。

图 12 中示出模拟开关阵列 44。模拟开关阵列 44 包括模拟开关单元 58/59/.../60 和两个模拟开关 61/62。模拟开关 ALG1/ALG2 相并联构成模拟开关单元 58/59/.../60。电源线 V1 通过模拟开关 61 连接到模拟开关 ALG1，另一条电源线 V2 通过模拟开关 62 连接到模拟开关 ALG2。模拟开关单元 58/59/.../60 分别与公用信号线 C0/C1/.../C_m 相连，并且每个单元 58/59/.../60 的模拟开关 ALG1/ALG2 连接到相关的公共信号线 C0/C1/.../C_m。

选择子信号 DSEL10/DSEL11/.../DSEL1_m 分别输入到模拟开关单元 58/59/.../60，模拟开关单元 58/59/.../60 使该选择子信号

DSEL10/DSEL11/.../DSEL1_m 反相。选择子信号 DSEL10/DSEL11/.../DSEL1_m 及其反相信号分别输入到模拟开关 ALG1 和模拟开关 ALG2。因此，模拟开关单元 58/59/.../60 根据相关联的选择子信号 DSEL10/DSEL11/.../DSEL1_m 的电平有选择地把电源线 V1 - V2 连接到公用信号线 C0/C1/.../C_m。

控制信号 CTL20 输入到模拟开关 61/62。当控制信号 CTL20 保持为无效高电平时，模拟开关 61/62 导通，并使电源线 V1/V2 把其电压提供给模拟开关 ALG1/ALG2。另一方面，处于有效低电平的控制信号 CTL20 使模拟开关 61/62 断开，并且使模拟开关与电源线 V1/V2 相互电隔离。当模拟开关 61 处于断开状态时，因为相关的选择子信号在这时短时间地处于高电平，则公用信号线 C0/C1/.../C_m 通过相关的模拟开关 ALG1 连接到相邻的公用信号线 C1/.../C_m/C0。然后，电源线 V1 通过模拟开关 61 和模拟开关 ALG1 把其电势提供给相邻的公共信号线 C1/.../C_m/C0。

图 13 中示出与公用线路驱动器 14 处于相同条件的公用信号驱动器 41 的电路操作。帧 F1/F2 分别从时刻 t50 延续到时刻 t55 和从时刻 t55 延续到时刻 t56。在帧 F1 中，电平 Va/Vc 被分别提供给电源线 V1/V2，并且在下一帧 F2 中，电源线 V1/V2 分别变为电平 Vd 和电平 Vb。公用信号 Sc0/Sc1/.../Sc_m 相继地变为电平 Va，然后在帧 F1 中每个公用信号 Sc0 - Sc_m 衰减为电平 Vc。在下一帧 F2 中，公用信号 Sc0/Sc1/.../Sc_m 相继地衰减到电平 Vd，然后每个公用信号 Sc0 - Sc_m 上升到电平 Vb。因此，公用信号 Sc0/Sc1/.../Sc_m 相继地提供给相关的公用信号线 C0/C1/.../C_m。但是，为了简单起见，只对帧 F1 中从公用信号线 C0 到下一公用信号线 C1 的变化过程进行描述。其它变化过程与从公用信号线 C0 到下一公用信号线 C1 的变化过程类似。

时钟信号 CLK 在时刻 t51 之前变为高电平，并且控制信号 CTL20 在时刻 t51 变为有效低电平。控制信号发生器 43 在时刻 t51 与时刻 t54 之间使控制信号 CTL20 保持为低电平。控制信号 CTL20 在时刻 t54 恢复到无效高电平。

初选子信号 SEL0 在时刻 t52 变为低电平，并且下一个初选子信号

SEL1 立即变为高电平。初选子信号 SEL1 立即影响选择子信号 DSEL1, 并且选择子信号 DSEL11 在时刻 t52 变为高电平。但是, 选择子信号 DSEL10 短时间地保持在高电平, 并在时刻 t53 下降到低电平。因此, 选择子信号 DSEL10/DSEL11 在时刻 t52 与时刻 t53 之间都同时为高电平。时刻 t52 与时刻 t53 之间的时间周期处于时刻 t51 至时刻 t54 的时间周期之内。

当控制信号 CTL20 保持为有效低电平时, 模拟开关 61/62 断开, 并且模拟开关单元 58/59/.../60 与电源线 V1/V2 相互电隔离。如上文所述, 开关单元 58/59 的模拟开关 ALG1 在时刻 t52 与时刻 t53 之间都导通, 并且电荷从公用信号线 C0 经过模拟开关 ALG1 流向下一条公用信号线 C1。因此, 公用信号 Sc1 变为一个中间电平 V_m 直到时刻 t53 为止。

接着, 控制信号 CTL20 在时刻 t54 变为无效高电平, 并且电源线 V1/V2 通过开关单元 59 的模拟开关 ALG1 和开关单元 58 的模拟开关 ALG2 把电势 V_a 和 V_c 分别提供给公用信号线 C1 和公用信号线 C0。结果公用信号 Sc0/Sc1 分别变为电平 V_a 和电平 V_c 。

公用线路驱动器 41 的电路元件比公用线路驱动器 14 的元件少, 并能够实现公用线路驱动器 14 的所有优点。

在第二实施例中, 多个子帧中的一个对应于时刻 t51 与时刻 t54 之间的时间周期, 并且子帧的第一阶段与第二阶段从时刻 t51 延续到时刻 t54 和从时刻 t54 延续到选择子信号 DSEL11 的脉冲下降沿时刻 tx。

如上文所述可以看出, 本发明的特点在于公用线路驱动器 14/41 的控制顺序, 其中公用线路驱动器首先利用先前选择的公用信号线对被选择的公用信号线进行充电, 然后才用电源线 V1 进行充电。在被选择公用信号线中聚集的电荷可以由下一个被选择的公用信号线重新使用, 并且可以减少电能消耗。

尽管在上文已经对本发明的具体实施例进行描述, 但是对于本领域内的专业人士还可以做出各种显而易见的改变和变化而不脱离本发明的精神和范围。

例如, 电势信号可在内部产生。在这种情况下, 外部电势信号不提供给液晶显示驱动器, 并且时钟信号 CLK 也可以在内部产生。

00-01-05

液晶显示驱动器可以集成在单块半导体芯片上。控制信号 CTL20 可以只提供给模拟开关 61。其它模拟开关 62 可以从模拟开关阵列中删除。

说明书附图

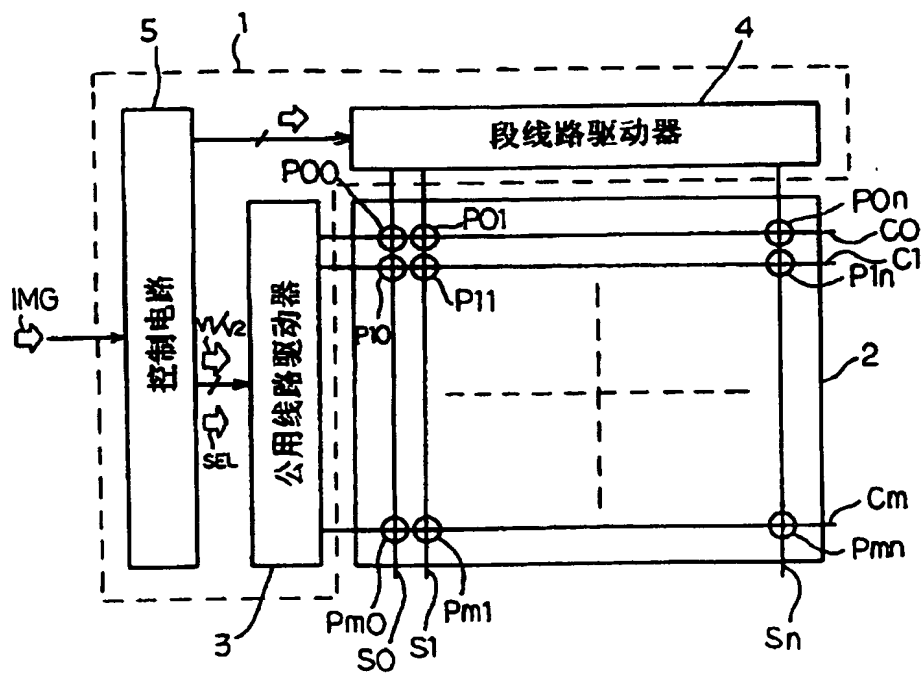


图 1

99-01-03

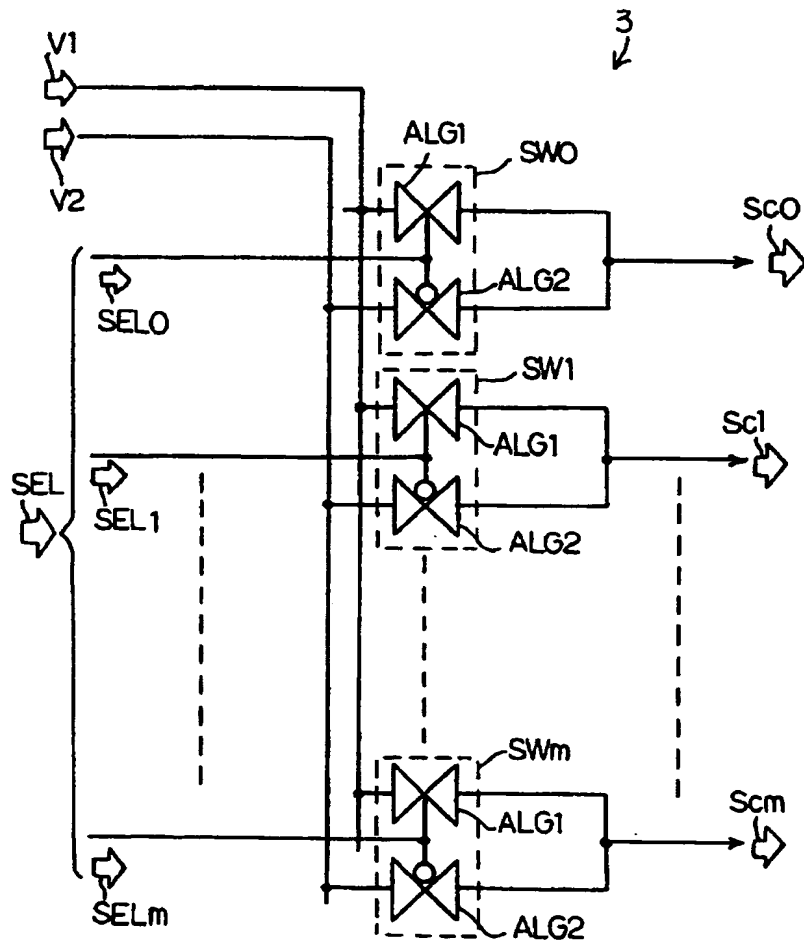


图 2

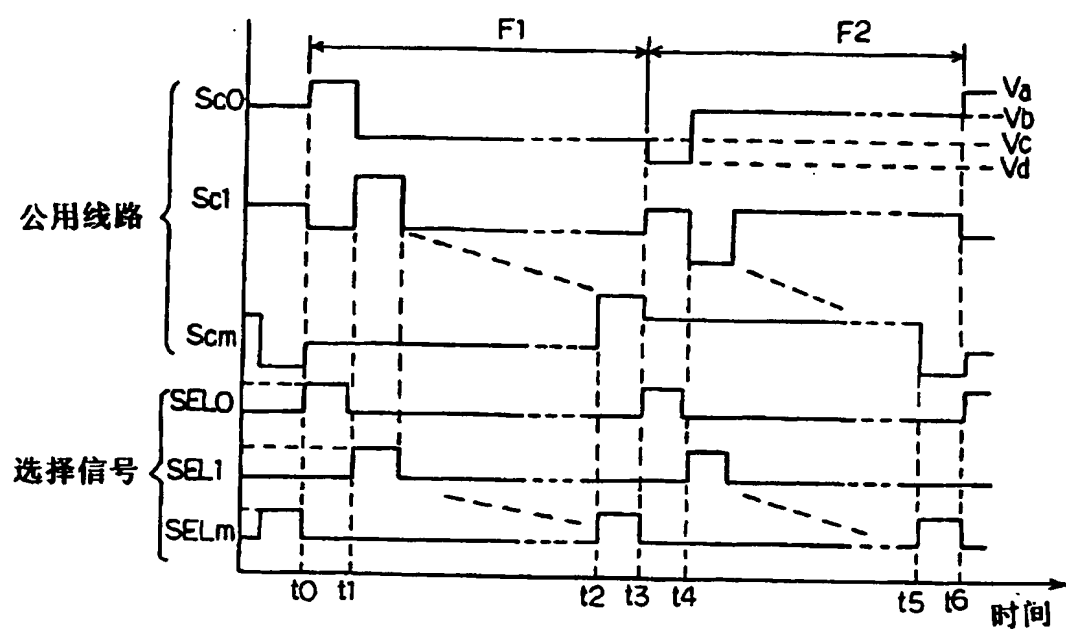


图 3

000100

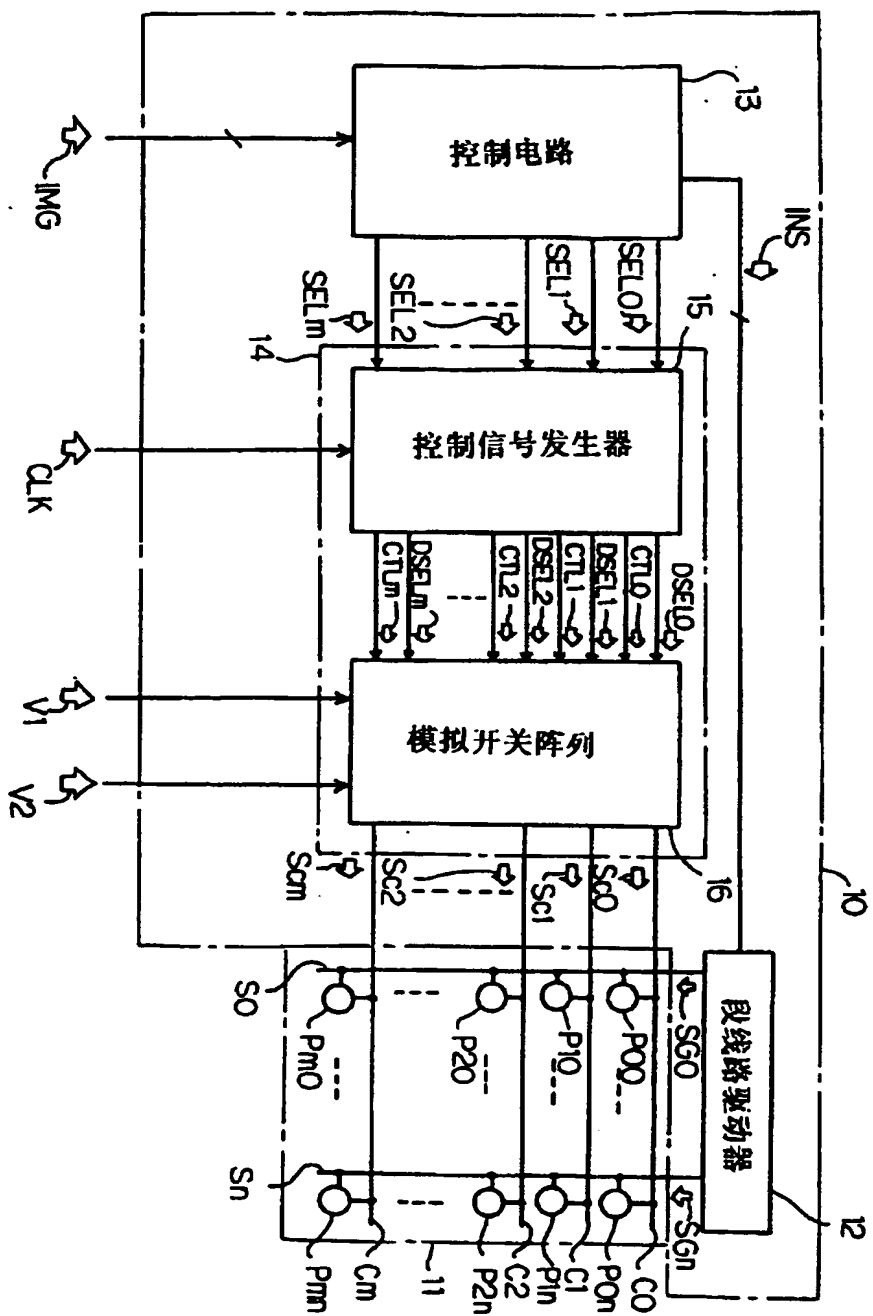


图 4

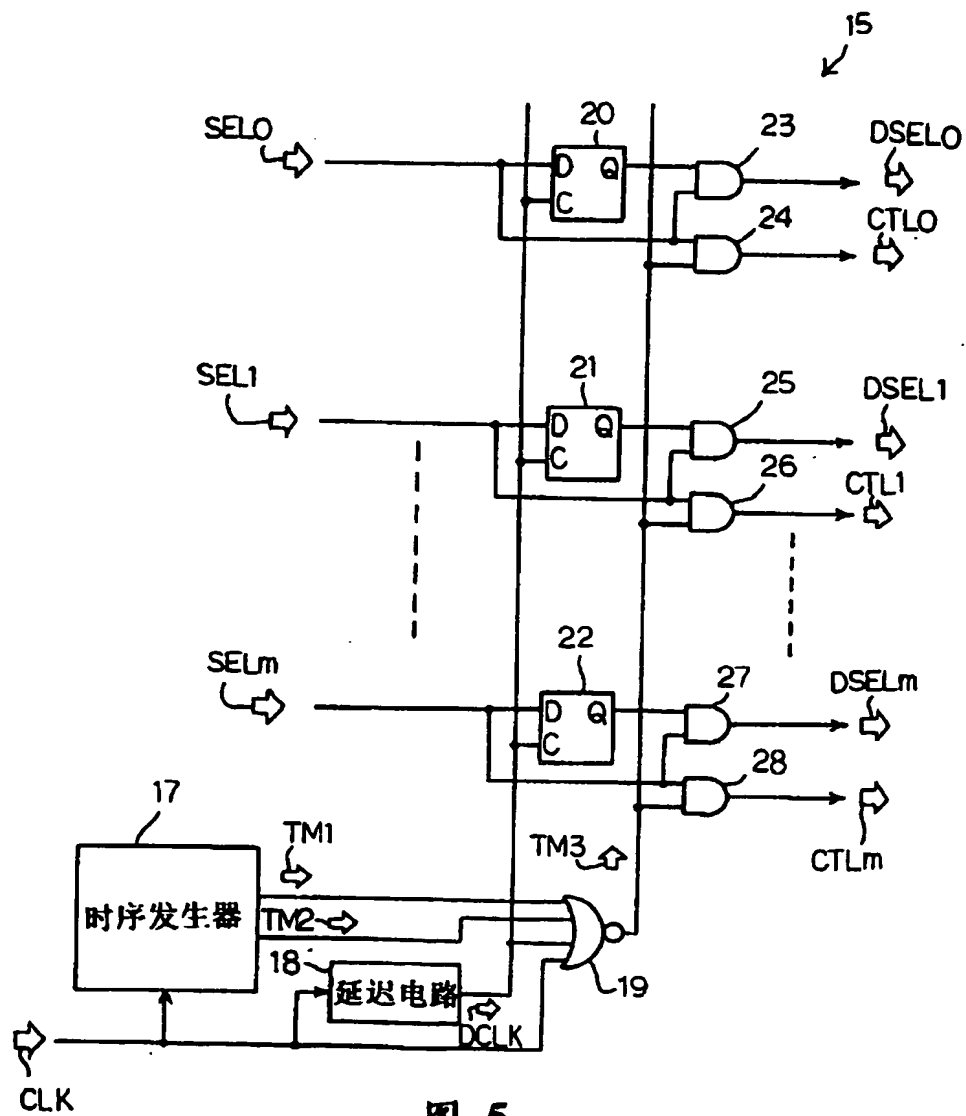


图 5

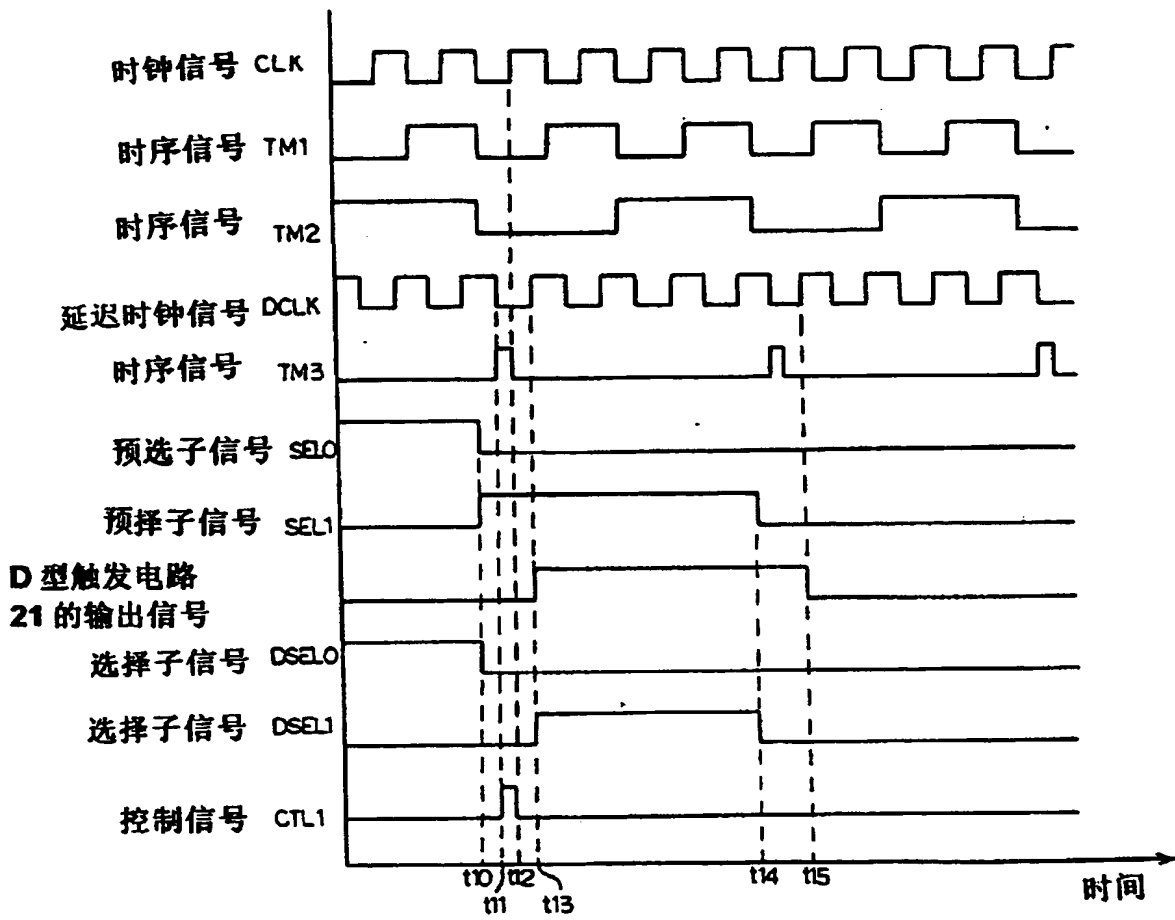


图 6

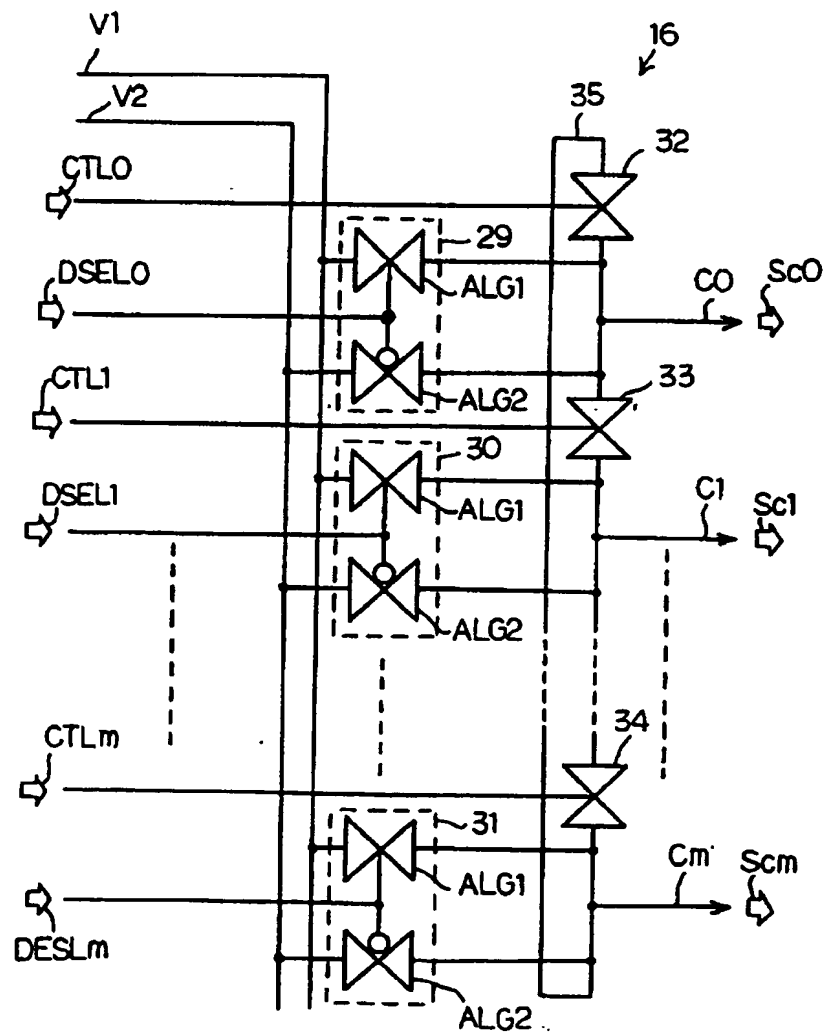


图 7

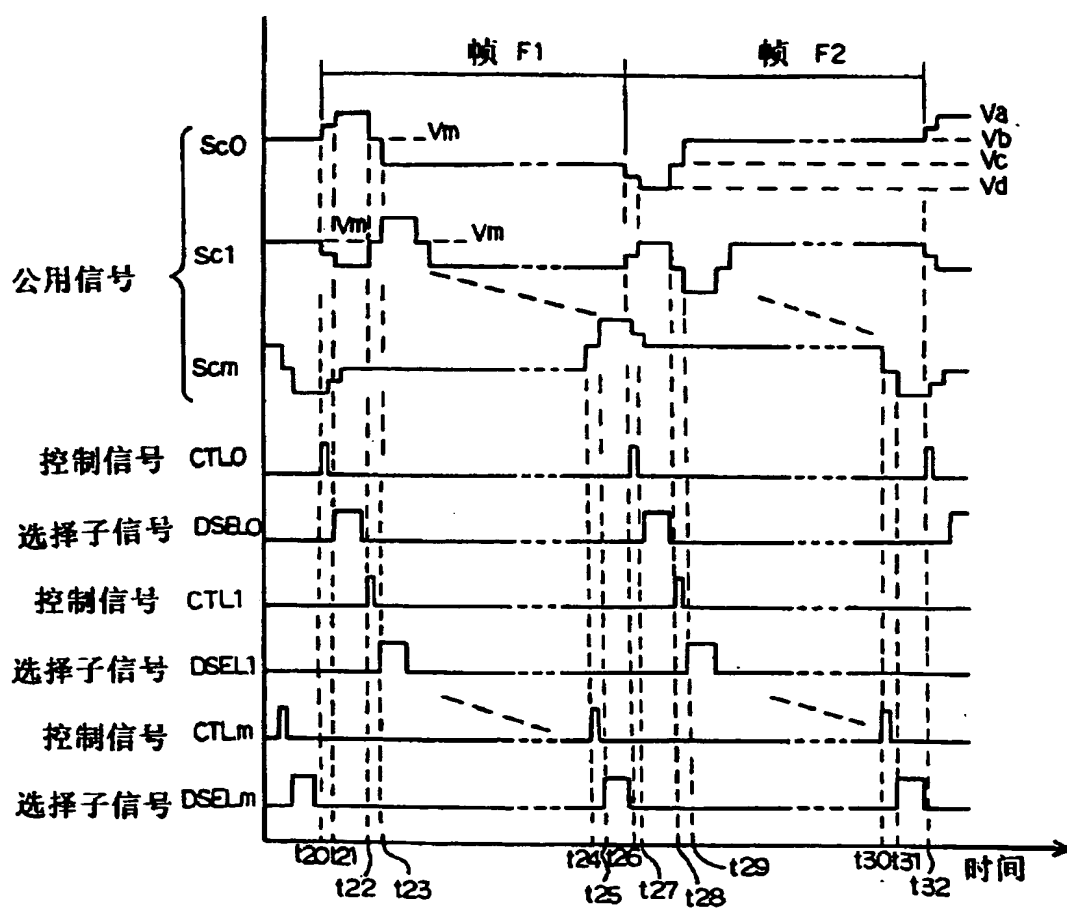


图 8

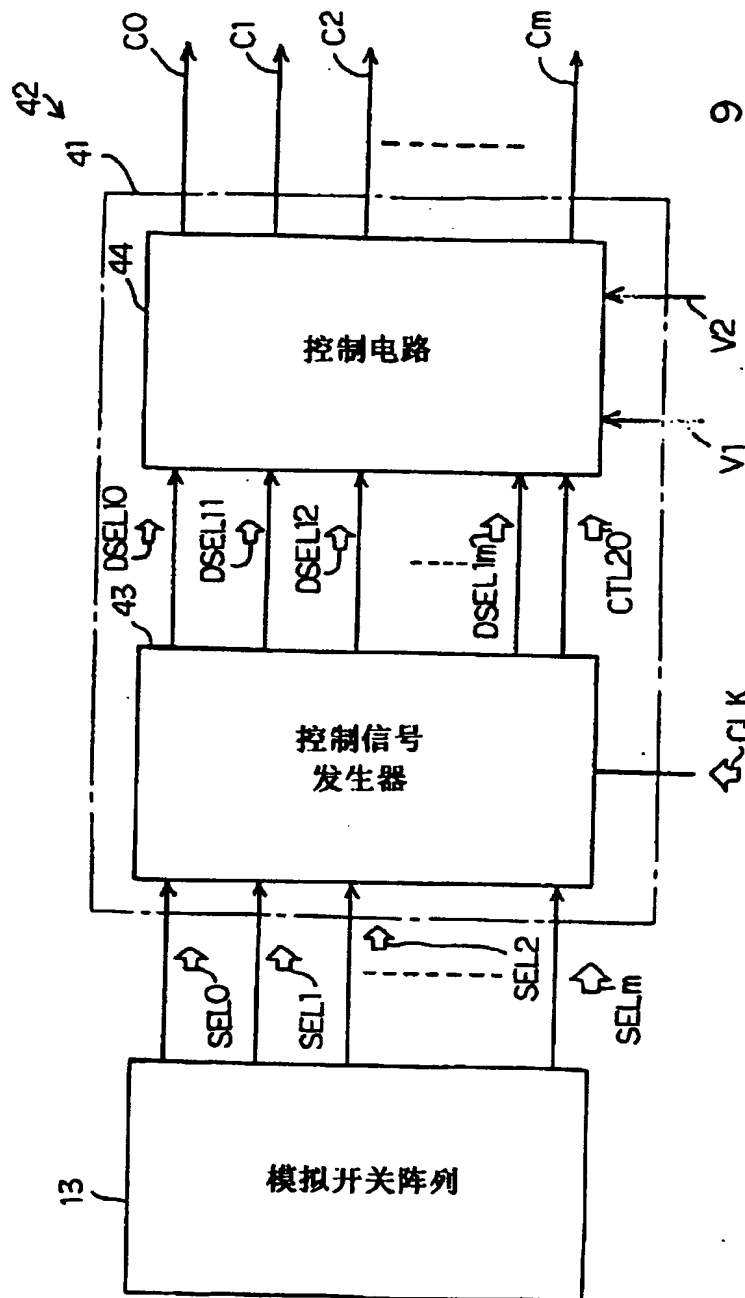


图 9

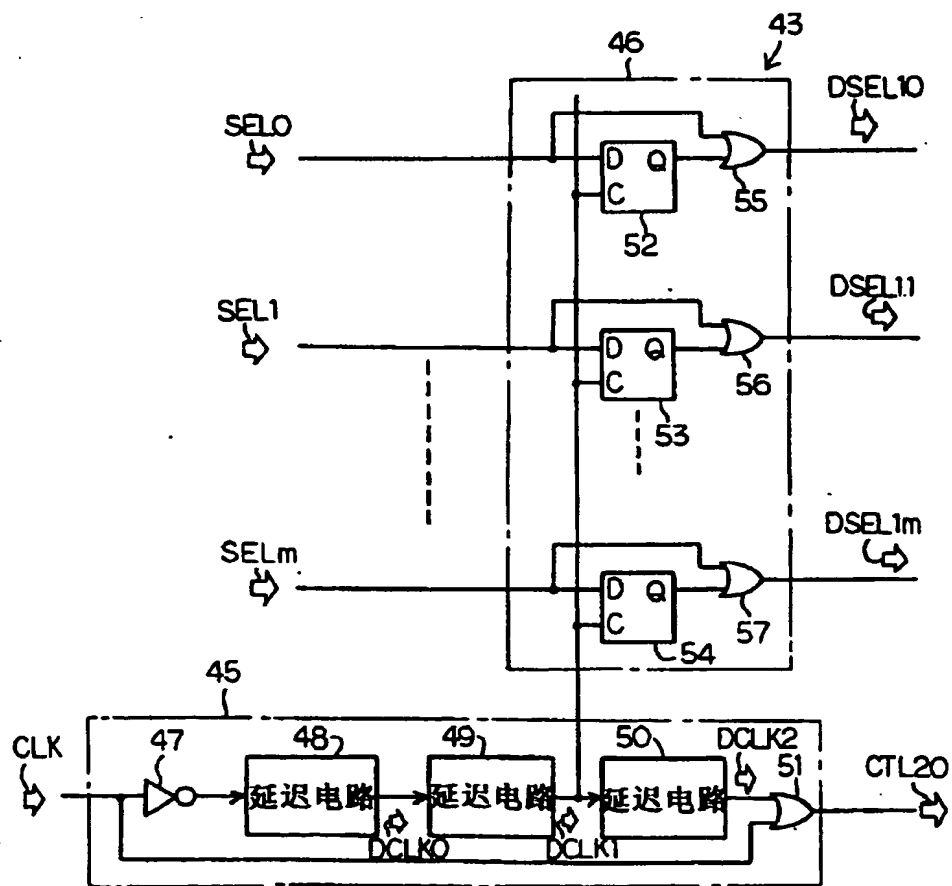


图 10

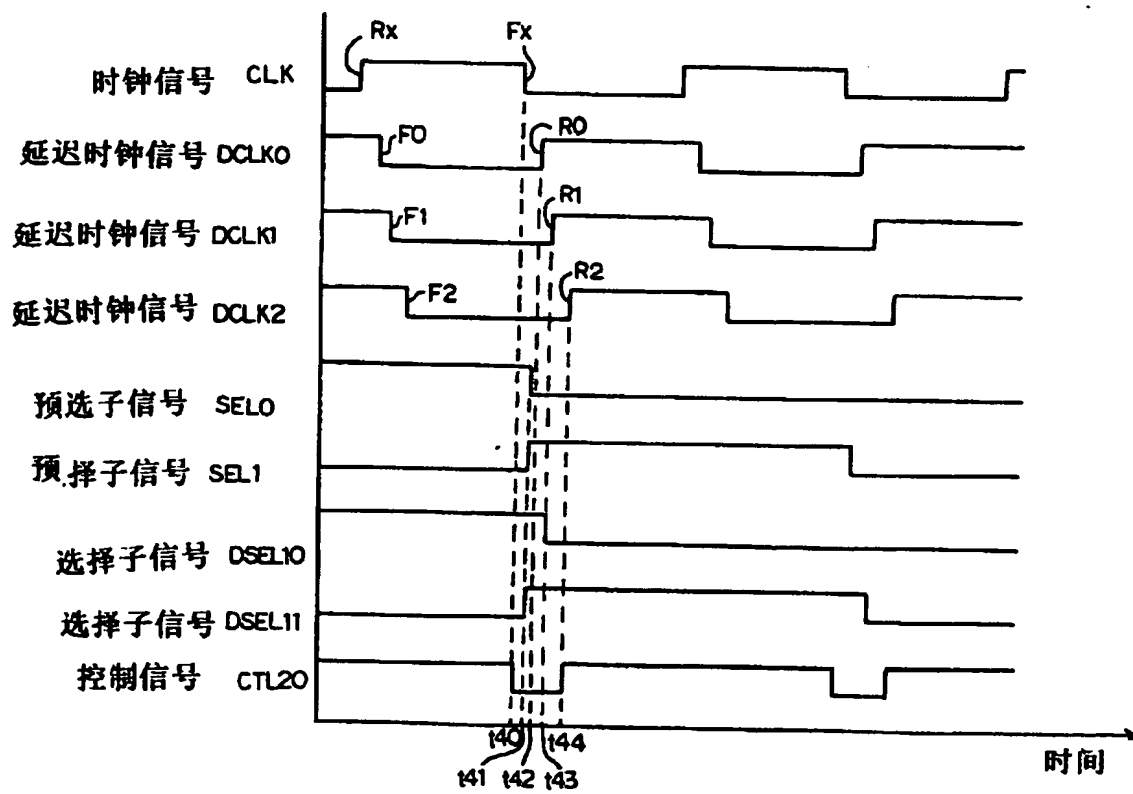


图 11

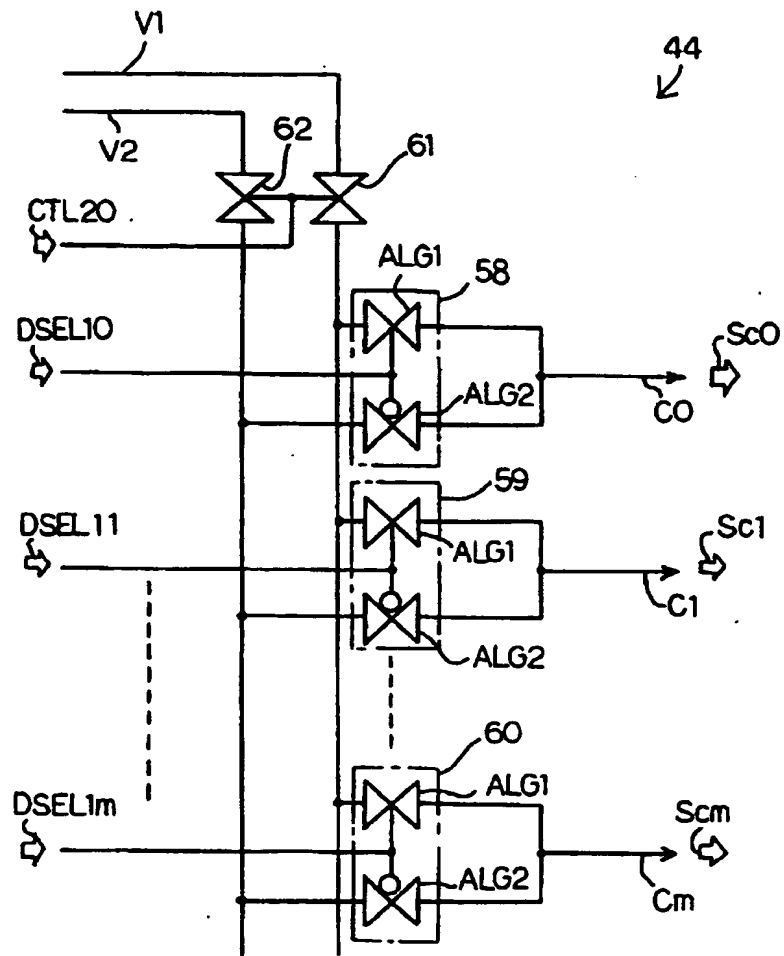


图 12

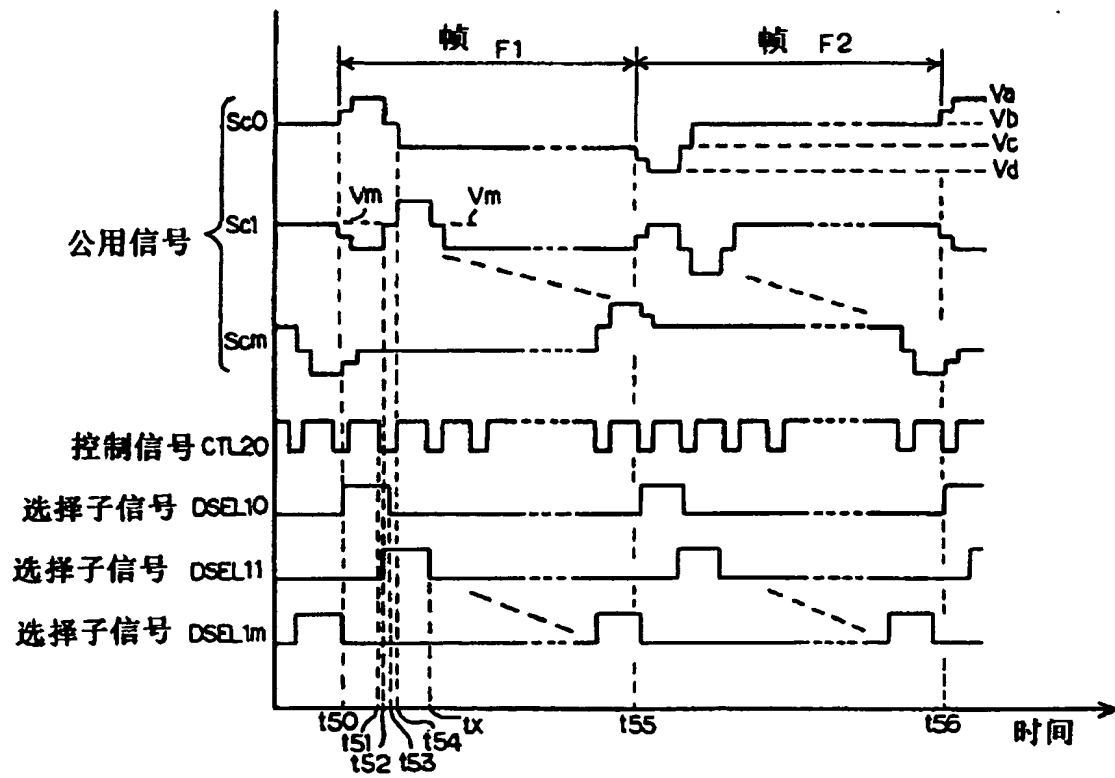


图 13